

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106654

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H01L 41/083

(21)Application number : 05-251469

(71)Applicant : HITACHI METALS LTD

(22)Date of filing : 07.10.1993

(72)Inventor : WATANABE JUNICHI
WATABE YOSHIYUKI
SADAMURA SHIGERU

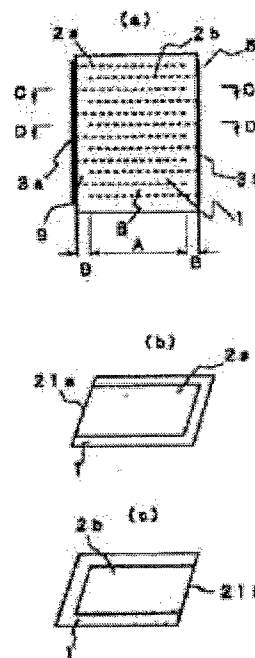
(54) MULTILAYER DISPLACEMENT ELEMENT

(57)Abstract:

PURPOSE: To enhance durability by enclosing the inner electrode completely in a laminate while exposing only the connecting part with the outer electrode to the side face of the laminate and specifying the lateral dimension at a non-displacement part formed between the fringe part of displacement part and the side face of the laminate thereby preventing migration and crack.

CONSTITUTION: A thin plate 1 is paired with an inner electrode 2 made of a conductive material and the projection area of the inner electrode 2 is set smaller than that of the thin plate 1 so that contact with the atmosphere is blocked thus preventing the moisture in the outer air from intruding into a laminate 5. When the number of layers constituting the laminate 5 is set at fifty or less, the tensile stress at the border of alternating electrode elements does not exceed the fracture stress of the element and cracking is prevented.

Furthermore, when the lateral dimension at the non-displacement part 9 is at 0.3 mm or less, bonding strength at the non-displacement part 9 is increased and piezoelectric characteristics at the displacement part 8 are suppressed thus relaxing the stress. A lead wire 10 is then connected electrically and mechanically with the side face of the element by soldering.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106654

(43) 公開日 平成7年(1995)4月21日

| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|---------|----------------|--------|
| H 0 1 L 41/083 | | 9274-4M | H 0 1 L 41/ 08 | Q |

審査請求 未請求 請求項の数 2 O L (全 6 頁)

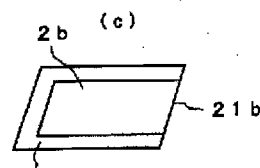
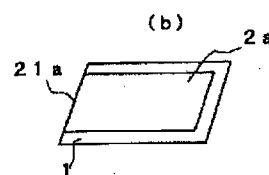
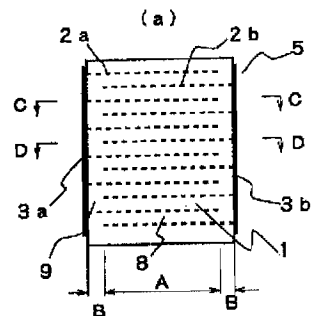
| | | | |
|-----------|-----------------|----------|--|
| (21) 出願番号 | 特願平5-251469 | (71) 出願人 | 000005083 日立金属株式会社 東京都千代田区丸の内2丁目1番2号 |
| (22) 出願日 | 平成5年(1993)10月7日 | (72) 発明者 | 渡辺 純一 埼玉県熊谷市三ヶ尻5200番地日立金属株式会社磁性材料研究所内 |
| | | (72) 発明者 | 渡部 嘉幸 埼玉県熊谷市三ヶ尻5200番地日立金属株式会社磁性材料研究所内 |
| | | (72) 発明者 | 定村 茂 埼玉県熊谷市三ヶ尻5200番地日立金属株式会社磁性材料研究所内 |
| | | (74) 代理人 | 弁理士 大場 充 |

(54) 【発明の名称】 積層型変位素子

(57) 【要約】

【目的】 コストの高騰を招くことなく、マイグレーションを完全に防止すると共に、クラックその他の発生のない耐久性の高い積層型変位素子を提供する。

【構成】 電気機械変換材料からなる薄板と導電材料からなる内部電極とを各々複数枚交互に積層した積層型変位素子において、前記薄板と内部電極を1対とし、その対の積層数が50層以下であり、かつ内部電極の平面投影面積を薄板の平面投影面積より小にし、外部電極との接続部のみを積層体の側面に露出させ、変位部の端縁と積層体側面との間に形成される非変位部の幅寸法を0.3mm以上とし、前記積層型変位素子を圧電縦効果を生じさせる方向に複数個積み重ね、前記変位素子側面上に各素子間を電氣的、かつ機械的に接続するための導体手段を具備する。



【特許請求の範囲】

【請求項1】 電気機械変換材料からなる薄板と導電材料からなる内部電極とを各々複数枚交互に積層して積層体を形成し、この積層体の側面に前記内部電極と1層おきに接続すべき1対の外部電極を設けてなる積層型変位素子において、前記薄板と導電材料からなる内部電極を1対とし、その対の積層数が50層以下であり、かつ内部電極の平面投影面積を薄板の平面投影面積より小にして、外部電極との接続部のみを積層体の側面に露出させ、変位部の端縁と積層体側面との間に形成される非変位部の幅寸法を0.3mm以上としたことを特徴とする積層型変位素子。

【請求項2】 請求項1記載の積層型変位素子を圧電縦効果を生じさせる方向に複数個積み重ね、前記変位素子側面上に各素子間を電氣的、かつ機械的に接続するための導体手段を具備することを特徴とする積層型変位素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、X-Yステージの精密位置決め機構や制動ブレーキ等に使用する電気機械変換素子に関するものであり、特に電気機械変換材料からなる薄板を、内部電極を介して複数枚積層することにより、変位量を増大させた積層型変位素子の改良に関するものである。

【0002】

【従来の技術】電気機械変換材料に電圧を印加すると変位が発生するが、この電気機械変換材料を複数枚積層し、変位量を増大させた素子が積層型変位素子であり、X-Yステージの精密位置決め機構や制動ブレーキ等に用いられている。従来、この積層型変位素子は、所定の形状に加工した圧電セラミック材料からなる薄板に電極を設けて分極した後、直接もしくは薄い金属を介して有機系の接着剤で接合する方法が採用されている。しかし、上記のように接着剤を使用して積層したものは、使用条件により、圧電素子の振動による変位を接着剤が吸収したり、高温の環境もしくは長期間の使用により接着剤が劣化したりする等の欠点がある。このため、この積層型変位素子の製造に、積層チップコンデンサの製法を応用し、積層型変位素子を作製する方法が提案されている。すなわち例えば特公昭59-320401号公報に記載のように、原料粉末にバインダーを添加、混練したペースト状の圧電セラミックス材料を、所定の厚さの薄片に成形し、この薄片の一方の面もしくは両面に銀・パラジウム等の導電材料を塗布して内部電極を形成し、前記薄板を複数枚積層して圧着し、更に所定の形状に加工した後、焼成することによりセラミックス化し、積層体の両側面に外部電極を形成したものである。上記構成の積層型変位素子は、圧電セラミックス材料からなる薄板と内部電極とが全面的に積層されている。図8は上記積

層型変位素子の構成の例であり、いわゆる交互電極型と称されるものである。図8において、1は薄板であり圧電セラミック材料によって形成し、正負の内部電極2a、2bを交互に挟着して積層し、積層体5を形成する。内部電極2a、2bは各々一方の端縁部が外方に突出もしくは露出するように形成し、各々積層方向に延設した外部電極3a、3bと接続し、ハンダ7を介してリード線6を接続する。以上の構成により、外部電極3a、3bに正負の電圧を印加すると、前記内部電極2a、2b間に電界が発生し、薄板1は圧電セラミック材料の圧電縦効果により厚さ方向に伸びて変位を生じる。次に図9に示すものは他の積層型変位素子の例であり、変位効率を向上させたいわゆる全面電極型と称されるものである（例えば特開昭58-196068号公報等参照）。図9において同一部分は前記図8と同一の参照符号で示すが、内部電極2a、2bは薄板1の表面全域に及ぶように形成して、所要枚数を前記同様に積層する。次に上記のようにして形成した積層体5の一方の側面において、内部電極2a、2bの端縁に一層おきに、例えば内部電極2bのみに絶縁材料からなる被覆4を設け、その上から導電材料からなる外部電極3aを被着させる。一方、積層体5の他の側面においては、上記被覆を設けなかった内部電極（例えば2a）の端縁に前記と同様に被覆4を設け、その上から外部電極3bを被着させるのである。以上の構成による作用は前記図8におけるものと同様である。

【0003】

【発明が解決しようとする課題】上記構成の積層型変位素子においては、電極間に直流高電圧を連続印加して変位を得るという使用形態の場合には、電極材料として銀系の材料を使用すると、高湿度雰囲気においていわゆるマイグレーションを生じ、遂には絶縁破壊に至るといった問題点がある。即ち電極を構成するAgは酸化しやすい元素であるが、高湿度雰囲気下においてイオン化(Ag⁺)し、印加電圧によって負電極に吸引され、負電極側に堆積する。このような堆積物は時間の経過と共に杉波状に成長して、電極間の絶縁抵抗を低下させ、遂には短絡するのである。このようなマイグレーションを防止する手段として、銀より小さなマイグレーション特性を有する金属からなる膜によって被覆するという提案がなされている（例えば特開昭62-62571号公報参照）。しかしながら積層体を形成した後において露出部分を被覆する作業は極めて煩雑であると共に、金属膜によって必ずしも完全に被覆することができず、例えばピンホール等を介して外部の湿気の侵入を許容することがあり、信頼性の点で未だ不満足な点がある。他にも高湿度の雰囲気における水分の侵入を防止する手段として、例えば樹脂材料からなる被覆によるコーティング手段等が試みられている。しかしながら樹脂材料からなる被覆でコーティングしても、樹脂は非透水性が完全でないの

みならず、素子の作動により微少なクラックを生じ、もしくはリード線との境界部に若干の隙間を生じ、これらを介して水分が侵入する場合がある。何れにしても上記従来の構成のものではマイグレーションを完全に防止することは困難であり、寿命が著しく短いという問題点がある。また、金属製容器内に密封した場合には、マイグレーションは防止できるが、素子の変位量が抑制されるのみならず、全体の体積の増大を招き、更にコスト高となる欠点がある。さらに、別の手段として電極を例えばPt、Pdのような高融点の貴金属材料によって形成することも考えられるが、素子の構成が図9のような全面電極型である場合、外部電極が形成されていない側面では正負の内部電極が共に同一側面に露出している。それゆえ、高湿度雰囲気下では前記側面で水分が結露した場合、前記同一側面上に露出した正負内部電極間で短絡するという欠点がある。また、交互電極型素子では積層セラミックコンデンサーと同様に内部電極を積層体の内部に封入する構造も考えられるが、積層型変位素子では変位部と非変位部との境界に発生する応力のため素子にクラックが発生し、絶縁破壊するという問題点がある。この積層セラミックコンデンサー型の変位素子のクラック抑制方法として積層縦効果圧電素子のサブユニットを複数個積み重ねて、隣合うサブユニット間を接合する接合部材の面積を、内部電極の面積以下とするという提案がなされている(例えば特開平3-270085号公報参照)。しかしながら、接着部材で素子を接着する際、通常は接着のために素子間に圧力を加えるので、液状である有機系の接着部材では加圧により接着部材が接着面全体に広がってしまい、内部電極面積以下という特定部分のみに接着部材を設けることができないという問題点がある。また、特定部分のみに接着部材を形成する他の方法として接着部材の印刷、或いは固体フィルム状の接着部材を素子間に挟み込む等の方法も考えられるが、前者は形成方法が煩雑であり実用的でなく、後者も接着の際、接着部材の位置ズレが起き易く、素子を平行に接着しにくいという問題点がある。本発明は上記従来技術に存在する問題点を解決し、コストの高騰を招くことなく、マイグレーションを完全に防止すると共に、クラックその他の発生のない耐久性の高い積層型変位素子を提供し、さらに前記素子単体の簡便な接続方法の提供を目的とする。

【0004】

【課題を解決するための手段】上記問題を解決するため、本発明においては、電気機械変換材料からなる薄板と導電材料からなる内部電極とを各々複数枚交互に積層して積層体を形成し、この積層体の側面に前記内部電極と1層おきに接続すべき1対の外部電極を設けてなる積層型変位素子において、前記薄板と導電材料からなる内部電極を1対とし、その対の積層数が50層以下であ

より小にして、外部電極との接続部のみを積層体の側面に露出させ、変位部の端縁と積層体側面との間に形成される非変位部の幅寸法を0.3mm以上し、前記積層型変位素子を圧電縦効果を生じさせる方向に複数個積み重ね、前記変位素子側面上に各素子間を電氣的、かつ機械的に接続するための導体手段を具備する、という技術的手段を採用した。

【0005】

【作用】上記の構成により、例えば銀系材料からなる内部電極を積層体内に完全に密閉し、大気との接触を遮断することができるから、外気中に含まれる水分の積層体内への侵入を阻止することができる。また、交互電極型素子の変位部と非変位部の境界で発生するクラックは素子に電圧を印加した際の素子の積層方向の伸張にともない、変位部と非変位部の境界に生じる引っ張り応力によるものであるが、積層数を50層以下とすることにより、交互電極型素子の前記境界部に発生する引っ張り応力を素子の破壊応力以下とすることでクラックの発生を抑制することができる。さらに非変位部の幅寸法を0.3mm以上とすることにより非変位部の固着力が増し、引っ張り応力によるクラックの発生を抑制すると共に、非変位部近傍の変位部の圧電特性を抑制し、応力を緩和することができる。また、素子側面上に電氣的、かつ機械的に接続するための導体手段を具備することから素子の接続を容易に行うことができる。

【0006】

【実施例】図1(a)は本発明の実施例を示す要部側面図、図1(b)(c)は図1(a)におけるC-C断面図およびD-D断面図であり、同一部分は前記図8および図9と同一の参照符号で示す。これらの図において薄板1を次のようにして形成する。まず、重量比でPbO 62.36%、SrCO₃ 4.54%、TiO₂ 1.38%、ZrO₂ 20.60%、Sb₂O₃ 1.12%からなる原材料を24時間ボールミルで混合後、800℃で1時間仮焼する。仮焼粉末を粉砕後、この仮焼粉末にポリビニルブチラールを添加し、エタノール中に分散させてスラリー化し、この混合材料をドクターブレード法により、厚さ100μmのシート状の薄板に形成する。次にこのシート状の薄板1の表面に内部電極2a、2bを形成する銀・パラジウムペーストもしくは白金導電ペーストをスクリーン印刷する。この場合内部電極2a、2bは図1(b)(c)に示すように、それらの平面投影面積を薄板1の平面投影面積より小に形成し、外部電極3a、3b(図1(a)参照)との接続部21a、21bのみを薄板1の端縁まで設ける。上記のように形成した内部電極2a、2bを有する薄板1を交互に例えば、30層積層、圧着した後、所定の寸法形状に切断して積層体とし、600℃で脱バインダーを行った後、酸素中1100~1200℃で焼結して、積層体5を形成する。この積層体5の寸法は例えば、5×5×

2mmもしくは $3 \times 3 \times 2$ mmである。次に外部電極3 a、3 bを設けるのであるが、この場合、内部電極2 a、2 bの接続部2 1 a、2 1 bの幅寸法全体に亘るように設けるのが望ましい。上記のように形成した積層体5の側面部は薄板1および外部電極3 a、3 bが露出するのみで、内部電極2 a、2 bは積層体内に完全に密閉された状態となる。なお、図1 (a)においてAは内部電極2 a、2 bの投影が積層方向に重合して形成される変位部8の幅寸法であり、Bは変位部8の端縁と積層体5の側面との間に形成される非変位部9の幅寸法である。図2は図1 (a)で示した積層体に電圧を印加した際の変形の状態を示した図である。電圧の印加により非変位部9は積層方向に引っ張られる。この引っ張り応力は図2においてEで示した素子中央の変位部8と非変位部9の界面で最大となり、素子の非変位部の強度が引っ張り力に耐えられない場合にはクラックが発生する。図3は素子の積層数と素子の不良率および直流150V印加時の素子の変位量の関係を示す図である。図においてaは不良率を、bは変位量をそれぞれ示す。不良率は各々積層体5を20個ずつ、0-150Vを4HzにてON-OFFし、 5×10^6 回後において変位部8と非変位部9の境界部応力に起因するクラックで発生した不良個数比率である。なお、非変位部の幅寸法は0.5mm、薄板1の寸法は $5 \times 5 \times 0.09$ mmである。図3 aから明らかなように積層数を50層以下とすることによりクラック発生に起因する不良を0とすることができる。図3 bからわかるように変位量が積層数の減少に比例して減少するのは当然の理であるが、積層数が少ない場合でも積層体単素子を積層方向に接続することにより所定の変位量を得ることは可能である。図4は非変位部の幅寸法と素子の不良率の関係を示す。図においてa、b、cはそれぞれ50層、30層、10層の結果を示す。不良率は図3と同様に各々積層体5を20個ずつ、0-150Vを4HzにてON-OFFし、 5×10^6 回後において変位部8と非変位部9の境界部応力に起因するクラックで発生した不良個数比率である。なお、薄板1の寸法は $5 \times 5 \times 0.09$ mmである。図4より非変位部の幅寸法を0.3mm以上とすることで不良の発生を防止することができる。図5には積層体の変位量の分布を示す。図中a、b、cはそれぞれ非変位部の幅寸法が0.15、0.3、0.6mmの場合であり、測定位置が0mmの位置が変位部と非変位部の境界である。なお、積層体の積層数は40層、薄板1の寸法は $5 \times 5 \times 0.09$ mmであり、印加電圧は直流150Vである。図より非変位部の幅寸法が大きくなるにつれて変位部と非変位部の境界近傍の変位量が小さくなることが明かである。即ち、非変位部の面積が増加するにしたがって非変位部の接着強度が大きくなり、積層体の変形を抑制する効果があることがわかる。本発明では非変位部幅が

位部の接着強度を得ることが可能である。図6は本発明の積層型変位素子の接続例を示す要部側面図であり、同一部分は前記図8および図9と同一の参照符号で示す。本実施例では接続する積層型変位素子を圧電縦効果を生じさせる方向に複数個積み重ね、前記素子側面上に形成された各々の外部電極上に接続用リード線10をハンダ(7)付けして接続するものである。接続の際は積み重ねた素子間に隙間が生じないように素子を積み重ねた方向に圧縮力を加えながら、ハンダ付けを行うことが望ましい。なお、接続用リード線として銅線等の弾力性に富んだ線材を選定することにより、電圧印加時に発生する素子の伸びを接続線の伸びで吸収することができ、素子の破損を防ぐことができる。本実施例では素子側面に接続用リード線をハンダ付けするだけなので極めて容易に素子を接続することができる。また、積層数40層、非変位部幅が0.3mmの素子を10ヶ接続した試料を20個駆動試験(0-150Vを4Hz、 10^6 回駆動)したが、不良は発生しなかった。図7 (a)~(g)はそれぞれ本発明における内部電極の平面投影輪郭形状の例を示す平面図であり、同一部分は前記図1 (a)~(c)と同一の参照符号で示す。図7 (a)に示すものは内部電極2 a、2 bの接続部2 1 a、2 1 bを薄板1の相隣る側面に露出させたものである。図7 (b)~(g)は接続部2 1 a、2 1 bを内部電極2 a、2 bの幅寸法より小なる幅寸法に形成したものであり、このように形成することにより、外部電極3 a、3 bの幅寸法を小さくすることができる。なお、図7 (c)および(e)は何れも接続部2 1 a、2 1 bを薄板1の同一側面に露出させたものであり、このように形成することにより、外部電極3 a、3 bと接続するリード線(図示せず)の取り回しが容易となる。なお、図7 (e)に示すように形成すると、図7 (c)に比べて接続部2 1 a、2 1 b間及び外部電極3 1 a、3 1 b間の沿面距離を大に形成することができる。図7 (f) (g)に示すものは、内部電極2 a、2 bの平面投影輪郭形状を各々円形および八角形に形成したものである。本実施例においては、積層体を構成する薄板の平面投影輪郭形状が正方形の場合について記述したが、矩形、多角形、円形、楕円形その他の幾何学的形状とすることができ、また内部電極についても同様である。なお、上記の実施例においては内部電極および外部電極の形成手段としてスクリーン印刷法を使用した例について記述したが、これに限定せず、メッキ、蒸着、塗布等の他の手段によっても作用は同一である。更に前記の実施例では、電気機械変換材料が圧電材料である場合について記述したが、キュリー温度が室温より低いため、分極の必要がなく、かつ変位量が大きであると共にヒステリシスが少ない等の特徴を有する電歪材料についても、前述と全く同様の作用を期待できる。

【発明の効果】本発明は上記記述のような構成および作用であるから、内部電極を完全に密封することができ、マイグレーションを完全に防止し、耐湿性を飛躍的に向上させることができ、高湿度環境においても十分に機能を発揮することができる。また、非変位部の強度を確保し得る構造であるため、高度の耐久性、信頼性が要求される光応用、半導体製造装置等の用途に好適であり、応用範囲を拡大し得るという効果がある。さらに、極めて容易に素子間の接続を行うことができるのでコストの高騰を招くことなく素子を組み立てることができる。

【図面の簡単な説明】

【図1】図1(a)は本発明の実施例を示す要部側面図、図1(b)(c)は各々図1(a)におけるC-C断面図およびD-D断面図である。

【図2】本発明の実施例の積層体に電圧を印加した際の側面の変形状態を示す図である。

【図3】不良率および変位量と積層数の関係を示す図で*

*ある。

【図4】不良率と非変位部幅の関係を示す図である。

【図5】積層体の変位量の分布を示す図である。

【図6】本発明の積層型変位素子の接続例を示す要部側面図である。

【図7】本発明における内部電極の平面投影輪郭形状の例を示す平面図である。

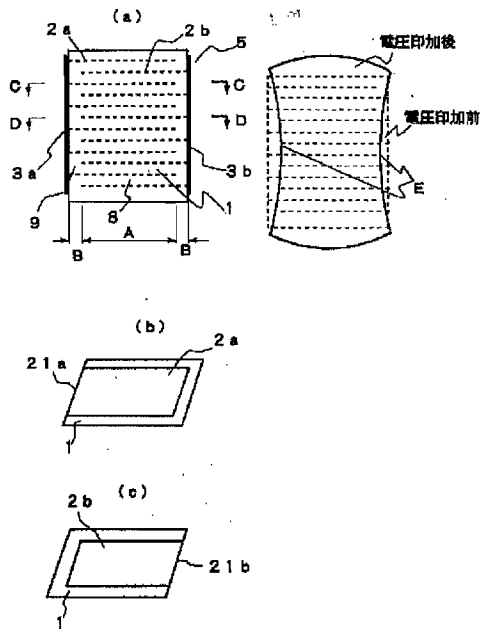
【図8】従来の積層型変位素子の例を模式的に示す要部側面図である。

10 【図9】従来の積層型変位素子の他の例を模式的に示す要部側面図である。

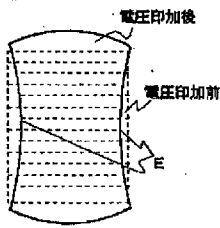
【符号の説明】

1 薄板、2 a 内部電極、2 b 内部電極、3 a 外部電極、3 b 外部電極、4 被覆、5 積層体、6 リード線、7 ハンダ、8 変位部、9 非変位部、10 接続用リード線、21 a 接続部、21 b 接続部

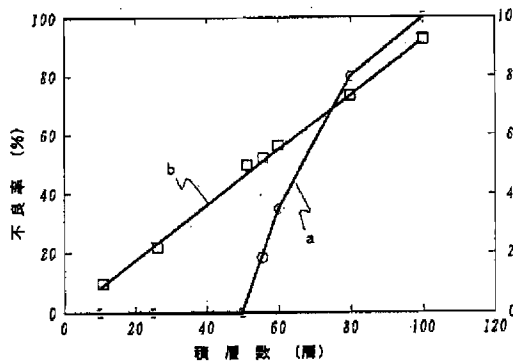
【図1】



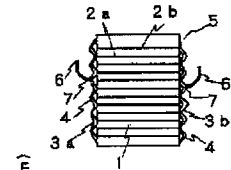
【図2】



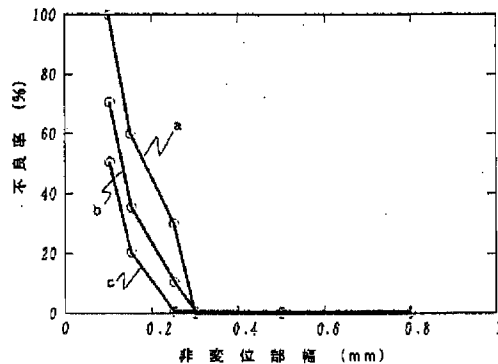
【図3】



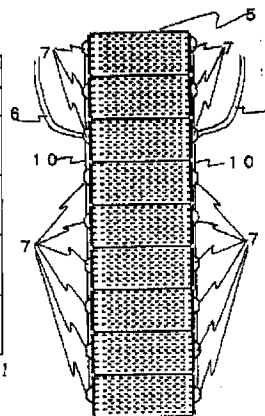
【図9】



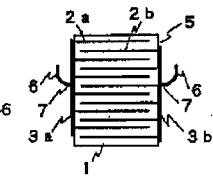
【図4】



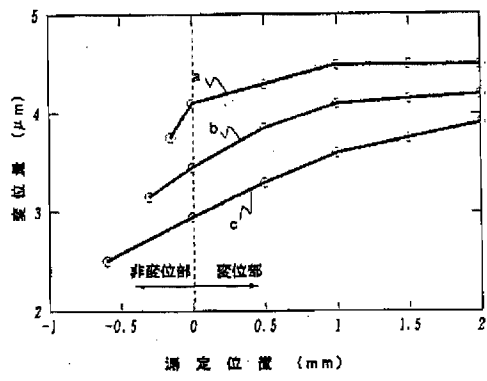
【図6】



【図8】



【図5】



【図7】

